

Abstract

Subiectul acestei teze este trecerea în revistă în prima secțiune a unora dintre problemele apărute datorită reducerii dimensiunilor tranzistoarelor și a prelucrării tehnologice, precum și a principalelor probleme întâlnite în proiectarea și implementarea circuitelor integrate de înaltă frecvență. În cea de-a doua secțiune a tezei voi continua cu prezentarea principalelor mecanisme de cuplaj în interiorul circuitelor integrate, rezistiv, capacitiv, inductiv, prin substrat, cu metodologia de extragere a elementelor parazite ale layout-ului (RC și RLC) precum și algoritmi de reducere a netlist-ului extras. De asemenea vor fi prezentate câteva soluții de implementare a circuitelor electrice în vederea minimizării efectelor parazite ale layout-ului, soluții confirmate de-a lungul anilor în diferite circuite integrate proiectate personal și aflate în prezent în producție. În ultima secțiune a lucrării o metodă standard de implementare a filtrelor digitale cu răspuns finit la impuls (FIR) a fost prezentată. Avantajele și dezavantajele diferitelor arhitecturi și a diferitelor metode de modelare a circuitului au fost discutate utilizând estimarea numărului de tranziții în interiorul circuitului, simularea la nivel de poartă logică și analiza rezultatelor obținute în urma sintezei modulului descris în limbaj VHDL. Scopul principal a fost ilustrarea faptului că se poate obține o reducere de până la 60% a consumului de putere prin alegerea unei arhitecturii optime combinată cu o descriere VHDL corespunzătoare. Metodele propuse pot fi folosite independent sau combinate pentru a asigura un mediu optimal de proiectare, cheia succesului în realizarea unor circuite integrate de performanță.

This thesis explores several novel methods for minimizing the effects of process variations and the layout parasitic effects for high frequency circuits as well as some methods of estimating the on-chip hot-spots together with methods of reducing the circuit power consumption in order to drop the overall on-chip temperature, very critical issue in the context of increasingly tendency of integrating power analog devices and digital circuits on the same die. In the first part of this thesis, a brief presentation of the state of the art in the submicron CMOS technologies, the manufacturing process and the MOS transistor limitations will be addressed. In the second part of this thesis, I'll continue by showing the main coupling mechanisms inside an integrated circuit, some RC and RLC parasitic extraction algorithms and the post layout netlist reduction. To conclude this section some yield improving techniques and methods of reducing the effects of the parasitic elements of the layout will be presented, results based through several years of experience combined with measured results on the final implemented circuits. In the final section the thermal parasitic effects that occur inside the integrated circuits, will be addressed. To reduce the switching power of a digital circuit some VHDL architecture optimization techniques will be shown, techniques which can achieve up to 60% power reduction and which are also technology independent using only unity delay models and toggle-based power estimation tools available in every standard design flow. Overall, the proposed techniques in this thesis can be used either independently or combined to provide a comprehensive and effective circuit optimization framework for today's complex designs.